

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3191653号
(P3191653)

(45) 発行日 平成13年 7 月23日 (2001. 7. 23)

(24) 登録日 平成13年 5 月25日 (2001. 5. 25)

(51) Int.Cl.⁷

識別記号

F I

H 0 2 M 1/06

H 0 2 M 1/06

Z

H 0 1 L 29/744

H 0 1 L 29/74

C

請求項の数 9 (全 15 頁)

(21) 出願番号 特願平8-6145

(22) 出願日 平成8年 1 月17日 (1996. 1. 17)

(65) 公開番号 特開平9-201039

(43) 公開日 平成9年 7 月31日 (1997. 7. 31)

審査請求日 平成11年 9 月20日 (1999. 9. 20)

審判番号 不服2000-7503(P2000-7503/J1)

審判請求日 平成12年 5 月18日 (2000. 5. 18)

(73) 特許権者 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 倉地 和博

福岡県福岡市西区今宿東一丁目1番1号

三菱セミコンエンジニアリング株式会

社内

(72) 発明者 山元 正則

東京都千代田区丸の内二丁目2番3号

三菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

合議体

審判長 三友 英二

審判官 植原 進

審判官 川端 修

最終頁に続く

(54) 【発明の名称】 パワーデバイス用半導体スイッチング装置

1

(57) 【特許請求の範囲】

【請求項1】 第1、第2及び第3電極を有し、前記第3電極に印加されたターンオン制御電流に応じてオン状態となったときは前記第1電極に流れ込む主電流を前記第1電極から前記第2電極へと直接に流す半導体スイッチング素子と、

前記第3電極と前記第2電極との間に接続され、前記ターンオン制御電流を生成して前記第3電極に印加する駆動制御手段とを備え、

ターンオフ時には、前記主電流の全てを前記ターンオン制御電流とは逆方向に前記第1電極から前記第3電極を介して前記駆動制御手段へと転流させた、

パワーデバイス用半導体スイッチング装置。

【請求項2】 請求項1記載のパワーデバイス用半導体スイッチング装置において、

2

前記ターンオフ時には、前記主電流の絶対値を分子とし、前記ターンオン制御電流とは逆方向に流れる電流の絶対値を分母とする比で表されるターンオフゲインを1以下に設定した、

パワーデバイス用半導体スイッチング装置。

【請求項3】 請求項2記載のパワーデバイス用半導体スイッチング装置において、

前記第3電極から前記駆動制御手段及び前記第2電極を介して前記第3電極に至るまでの経路のインダクタンスが前記ターンオフゲインを1以下とするために必要な値に設定されている、

パワーデバイス用半導体スイッチング装置。

【請求項4】 請求項1ないし請求項3の何れかに記載のパワーデバイス用半導体スイッチング装置において、前記ターンオフ時において、上昇する前記第1電極と前

記第2電極間の電圧が所定の電圧値に達したときには、前記第1電極と前記第2電極間電圧を前記所定の電圧値に所定の時間だけ保持するピーク電圧抑制手段を更に備え、

前記所定の電圧値は、前記第1電極と前記第2電極間電圧が前記半導体スイッチング素子の電圧阻止能力を越えない範囲内に設定されている、

パワーデバイス用半導体スイッチング装置。

【請求項5】 請求項4記載のパワーデバイス用半導体スイッチング装置において、

前記ピーク電圧抑制手段は、前記第1電極と前記第2電極との間に並列に接続された電圧クランプ回路である、パワーデバイス用半導体スイッチング装置。

【請求項6】 請求項1ないし請求項3の何れかに記載のパワーデバイス用半導体スイッチング装置において、前記パワーデバイス用半導体スイッチング装置を駆動するための電源と、

前記第1電極と前記第2電極との間に並列に配設されたバイパス線を更に備え、

前記バイパス線は常に前記電源の電源電圧で充電された容量素子を備える、

パワーデバイス用半導体スイッチング装置。

【請求項7】 請求項6記載のパワーデバイス用半導体スイッチング装置において、

前記容量素子の一端は抵抗素子を介して直接に前記電源に接続されており、

前記バイパス線は前記第1電極と前記容量素子の前記一端にそのアノードとカソードとがそれぞれ接続されたダイオードを更に備えた、

パワーデバイス用半導体スイッチング装置。

【請求項8】 請求項7記載のパワーデバイス用半導体スイッチング装置において、

前記容量素子の容量値は、前記ターンオフ時に生じる前記第1電極と前記第2電極間のピーク電圧が前記半導体スイッチング素子の電圧阻止能力を越えないように設定されている、

パワーデバイス用半導体スイッチング装置。

【請求項9】 オン状態にある半導体スイッチング素子に流れ込む主電流の全てを、前記半導体スイッチング素子をターンオンさせるために必要なターンオン制御電流を前記半導体スイッチング素子に流れ込ませるための配線経路へ転流させることで、前記半導体スイッチング素子をターンオフに制御した、パワーデバイス用半導体スイッチング装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えば電力変換装置に使用される、半導体スイッチング装置または半導体スイッチング素子に関するものである。又、本発明は、上記半導体スイッチング素子の制御方法にも関して

いる。

【0002】

【従来の技術】従来の半導体スイッチング装置の回路構成の一例を、図16に示す。同図において、参照符号3Pは半導体スイッチング素子であり、ここでは、それはGTO（ゲートターンオフ・サイリスタ）である。GTO3Pのゲートとカソード間には、ゲートターンオン制御電流 I_{go} を発生させるゲートドライバ4Pが接続されており、同ドライバ4Pは、上記ゲートターンオン制御電流 I_{go} をGTO3Pのゲートに印加することで、GTO3Pをターンオンさせる。更に、同ドライバ4Pは、電流変化率 dI_{go}/dt が20～50A/ μ sで与えられるゲート逆電流 I_{gr} をゲートからカソードに向けて通電する。このゲート逆電流 I_{gr} は、アノード電流 I_{ap} より分流したものである。このとき、ターンオフゲインは2～5までの範囲内の値となり、GTO3Pはターンオフする。

【0003】又、アノード電極とカソード電極間電圧 V_{ak} の上昇率 (dV_{ak}/dt) とサージ電圧とを抑えるために、一般にスナバ回路が用いられる。ここでは、スナバ回路は、次の通りに構成される。即ち、スナバコンデンサC_sとスナバダイオードD_sとがGTO3Pに対して並列に接続されており、また、GTO3Pのターンオフ時にスナバコンデンサC_sに充電された電荷を放電するために、スナバ抵抗R_sがスナバダイオードD_sに対して並列に接続されている。

【0004】又、インダクタンス1Pは、GTO3Pがターンオンしたときに流れる陽極電流 I_{ap} の上昇率 dI_{ap}/dt を1000A/ μ s以下に抑えるためのものであり、インダクタンス1Pに対して並列接続された還流ダイオード2Pは、GTO3Pがターンオフした時にインダクタンス1Pに発生したエネルギーを還流させるためのものである。

【0005】尚、インダクタンスL_sは、上記スナバ回路の配線の浮遊インダクタンスである。

【0006】上記の半導体スイッチング装置の回路に対して、ターンオフ試験を実施して得られた実測波形を、図17に示す。同図において、波形C1P、C2P及びC3Pは、それぞれ陽極電流 I_{ap} 、アノード電極とカソード電極間電圧 V_{ak} 及びゲート逆電流 I_{gr} を示す波形であり、横軸は時間軸である。

【0007】図17において、時刻tP1ではGTO3Pはターンオン状態にあり、ゲート逆電流 I_{gr} は0の状態にある。この時に、ゲート逆電流 I_{gr} の上昇率 dI_{gr}/dt の絶対値を20～50A/ μ sとしてゲート逆電流 I_{gr} を立ち上げ、GTO3P自身が持つターンオフゲイン（陽極電流 I_{ap} /ゲート逆電流 I_{gr} で与えられる比の絶対値）のしきい値に当該ターンオフゲインが達すると（時刻tP2）、陽極電流 I_{ap} は減少し始め、GTO3Pのアノード電極とカソード電極間電圧V

10

20

30

40

50

V_{AKP} が上昇し始める。この時、前述したスナバ回路側にも電流 I_s が流れ出すこととなり、この電流 I_s の上昇率とスナバ回路のインダクタンス（スナバインダクタンス） L_s により電圧が発生し、この電圧がアノード電極とカソード電極間電圧 V_{AKP} に重畳される結果、スパイク電圧 V_{OSP} が発生する（時刻 $tP3$ ）。このスパイク電圧 V_{OSP} は、電力損失の原因となる。例えば、約4000Aの電流が流れるときは、上記電力ロス为数MWにもなる。そのため、このスパイク電圧 V_{OSP} を出来る限り低い値に抑える必要があり、従来よりスナバインダクタンス L_s を低減する努力が続けられてきた。

【0008】又、スパイク電圧 V_{OSP} の発生後のアノード電極とカソード電極間電圧 V_{AKP} の上昇率 dV_{AKP}/dt が急峻に変化し、陽極電流 I_{AP} に極大値が発生し（時刻 $tP4$ ）、それ以後は、テール電流が発生する。そのため、このテール電流と上記電圧 V_{AKP} との積により、電力損失が更に発生する。そして、上記電圧 V_{AKP} は、時刻 $tP5$ において、ピーク電圧に達する。その後は、上記電圧 V_{AKP} は、電源電圧 V_{DD} に到達する。

【0009】そこで、このような上昇率 dV_{AKP}/dt を抑制するために、既述したスナバコンデンサ C_s が必要となる。その容量値は、 $I_{AP}/(dV_{AKP}/dt)$ で表され、通常は、 $dV_{AKP}/dt \leq 1000V/\mu s$ の関係式を満足するように選定されている。

【0010】図18及び図19は、図16で示した従来の半導体スイッチング装置で用いられているGTO3Pの構造（同構造は、GTO素子のパッケージと2つのスタック電極に大別される。）を示した図であり、両図は、ゲートドライバ4Pを含めて図示されている。その内、図18は、図19に示す矢印方向DP2から眺めたGTO3Pの側面図を示すものであるが、その内の一部分だけは断面図形式で以て表示されている。又、図19は、図18に示す矢印方向DP1からGTO3Pを見たときのスタック電極27Paを除いた部分の平面図である。

【0011】両図18、19において、各参照符号は以下の部材を示す。即ち、20PはGTO素子、4PLはゲートドライバ4Pの内部インダクタンス、21P及び22Pは、それぞれ、共に同軸構成のシールド線もしくはツイストされたリード線からなるゲート外部リード（ゲート取り出し線）及びカソード外部リード（カソード取り出し線）である。そして、GTO素子20Pのゲート端子25Pとゲート外部リード21Pの一端とを金属性の連結部材23Pに溶接又は半田付けすることにより、又は嵌合することにより、両者25P、21Pを一体化すると共に、カソード端子26Pとカソード外部リード22Pの一端とを金属性の連結部材24Pに溶接又は半田付けして、又は嵌合して、両者26P、22Pを一体化する。これにより、両端子25P、26Pは、それぞれ上記リード21P、22Pを介してゲートドライ

バ4Pに接続される。

【0012】参照符号27Pa、27Pbは、GTO素子20Pを加圧するためのスタック電極である。

【0013】参照符号28PはGTOのセグメントが形成された半導体基板であり、半導体基板28Pの上側表面の最外周部にA1（アルミニウム）のゲート電極29Paが形成され、そのゲート電極29Paよりも内側の上記上側表面上にカソード電極29Pbが各セグメントに対応して形成されている。又、30P及び31Pは、それぞれ半導体基板28Pの上側表面上のカソード電極29Pbの上側表面上に順次積載して配設されたカソード歪緩衝板及びカソードポスト電極であり、他方、32P及び33Pは、それぞれ半導体基板28Pの裏面に形成されたアノード電極（図示せず）（上記裏面中、カソード電極29Pbとは、反対側に位置する面に該当している）上に順次積載されたアノード歪緩衝板及びアノードポスト電極である。

【0014】又、34Pは半導体基板28Pのゲート電極29Paの上側表面に接したリング状ゲート電極、35Pは環状絶縁体36Pを介してリング状ゲート電極34Pをゲート電極29Paに押圧する皿バネ、37Pは、リング状ゲート電極34Pをカソード歪緩衝板30P及びポスト電極31Pから絶縁するための絶縁シートであり、38Pは、その一端がリング状ゲート電極34Pにろう付けあるいは溶接などによって固着され且つその他端がゲート端子25Pに電気的に接続されたゲートリードであり、39Pは、その一端がカソードポスト電極31Pに固着され且つ他端がカソード端子26Pをなした第1のフランジであり、40Pはアノードポスト電極33Pにその一端が固着された第2のフランジであり、41Pは、その開口の内面上にゲート端子25Pが配設された、しかも突起部42Pを有する絶縁筒であり、絶縁筒41Pの上下面より突出した両端部43Pa、43Pbはそれぞれ第1及び第2のフランジ39P及び40Pと気密に固着されており、これによりGTO素子20Pは密閉された構造となっている。

【0015】

【発明が解決しようとする課題】従来の半導体スイッチング装置には、大別して2つの問題点がある。

【0016】(1)先ず、その第一は、例えば図19に示したように、ゲート逆電流の取り出しリード21Pがリング状ゲート電極34Pの内の局所的な部分から取り出されているという点である。このため、ゲート逆電流の取り出しが一方方向となる。その結果、ターンオフ時に、カソード電流の不均一が発生し、上述したスパイク損失やテール電流による損失という電力損失が全てGTO内部のカソード面の一部に局部的に集中し、局部的な温度上昇の発生によりGTOの各素子ないし各セグメントが破壊されて導通状態となり、結果的にターンオフが失敗するという事態が起こる蓋然性が高いという問題点があ

り、このため装置としての信頼性に問題が生じていた。

【0017】この点を模式的に説明するのが、図20のGTO素子の平面図と、図21のGTO素子の断面図である。図21は、図20に示す線CSA-C SBに関する縦断面図にあたる。即ち、円柱状のウェハ内に形成されたGTOの各素子の内で、リング状ゲート電極34Pに近い領域、例えば領域REO内に形成されたもののほ
 10 ど、そのゲート逆電流は、それよりも内側の領域REIにあるGTO素子の場合よりも、より一層早く引き抜かれることとなり、従って、より早くターンオフされることとなる。それに対して、ウェハ中心部の領域REC内に形成されたGTOのセグメントは最もターンオフするの
 20 のに長い時間を必要とすることとなり、この中心部領域REC内の各セグメントのカソード電極へ向けて、その周りの各セグメントからカソード電流 I_s が流入してくることとなるので、GTOのウェハ内部の一部に電流集中が生じてしまうのである。

【0018】(2)第2の問題点は、スナバ回路、特にスナバコンデンサの存在に起因するものである。即ち、上述したように、ターンオフ時にスナバコンデンサCs
 20 (図16)にチャージアップされた電荷は、次のターンオフ迄にこれを完全に放電しておく必要がある。そこで、GTO3Pのターンオン時にスナバ抵抗 R_s を通して上記電荷を放電しているが、このため、大きな電力損失が生じている。この時のスナバ抵抗 R_s に生じる消費電力の容量は、 $PW = 1/2 * Cs * f (V_{on}^2 + (V_{on} - V_{off})^2)$ の関係式で表される。ここで、 V_{on} は電源電圧、 V_{off} はスナバコンデンサCsがターンオフ時にチャージアップされたときの電圧である。そのため、装置全体を冷却するための冷却装置を設ける必要性が生じ
 30 る。

【0019】このような電力容量のスナバ抵抗を接続することは、当該スナバ抵抗で生じる電力分だけが、本来伝達すべき電力の内のロス分となってしまう、効率の低下をもたらすと共に、上記冷却装置の設置の必要性を生じさせるので、その点が、装置全体の簡素化、小形化を
 40 すめる上で大変大きな問題となっていた。

【0020】この発明はかかる問題点の認識の下に成されたものであり、以下の目的を有する。

【0021】(1)半導体ウェハ内の一部の半導体スイッチング素子に電力損失が局部的に集中することを防止して、素子破壊を防止し、以て装置の信頼性向上を図ること。

【0022】(2)従来、スナバ回路で生じていた電力損失の発生を防止ないし格段に低減し、以て装置の小形化、簡素化、低コスト化、高効率化を図ること。

【0023】(3)スナバ回路のような、第1、第2電極間電圧の上昇を抑制するための回路を不要として、装置の小形化、高効率化を図ること。

【0024】(4)実用に適った新たな、半導体スイッチ

ング素子のターンオフ方法を提案すること。

【0025】

【課題を解決するための手段】請求項1の発明に係るパワーデバイス用半導体スイッチング装置は、第1、第2及び第3電極を有し、前記第3電極に印加されたターンオン制御電流に応じてオン状態となったときは前記第1電極に流れ込む主電流を前記第1電極から前記第2電極へと直接に流す半導体スイッチング素子と、前記第3電極と前記第2電極との間に接続され、前記ターンオン制御電流を生成して前記第3電極に印加する駆動制御手段とを備え、ターンオフ時には、前記主電流の全てを前記
 10 ターンオン制御電流とは逆方向に前記第1電極から前記第3電極を介して前記駆動制御手段へと転流させたものである。

【0026】請求項2の発明に係るパワーデバイス用半導体スイッチング装置は、請求項1記載のパワーデバイス用半導体スイッチング装置において、前記ターンオフ時には、前記主電流の絶対値を分子とし、前記ターンオン制御電流とは逆方向に流れる電流の絶対値を分母とする比で表されるターンオフゲインを1以下に設定したものである。

【0027】請求項3の発明に係るパワーデバイス用半導体スイッチング装置は、請求項2記載のパワーデバイス用半導体スイッチング装置において、前記第3電極から前記駆動制御手段及び前記第2電極を介して前記第3電極に至るまでの経路のインダクタンスを前記ターンオフゲインを1以下とするために必要な値に設定したものである。

【0028】請求項4の発明に係るパワーデバイス用半導体スイッチング装置は、請求項1ないし請求項3の何れかに記載のパワーデバイス用半導体スイッチング装置において、前記ターンオフ時において、上昇する前記第1電極と前記第2電極間の電圧が所定の電圧値に達したときには、前記第1電極と前記第2電極間電圧を前記所定の電圧値に所定の時間だけ保持するピーク電圧抑制手段を更に備えたものであり、前記所定の電圧値を、前記第1電極と前記第2電極間電圧が前記半導体スイッチング素子の電圧阻止能力を越えない範囲内に設定してい
 30 る。

【0029】請求項5の発明に係るパワーデバイス用半導体スイッチング装置は、請求項4記載のパワーデバイス用半導体スイッチング装置において、前記ピーク電圧抑制手段を、前記第1電極と前記第2電極との間に並列に接続された電圧クランプ回路としたものである。

【0030】請求項6の発明に係るパワーデバイス用半導体スイッチング装置は、請求項1ないし請求項3の何れかに記載のパワーデバイス用半導体スイッチング装置において、前記パワーデバイス用半導体スイッチング装置を駆動するための電源と、前記第1電極と前記第2電極との間に並列に配設されたバイパス線を更に備えたも
 40

のであり、しかも、前記バイパス線は常に前記電源の電源電圧で充電された容量素子を備えるようにしたものである。

【0031】請求項7の発明に係るパワーデバイス用半導体スイッチング装置は、請求項6記載の**パワーデバイス用半導体スイッチング装置**において、前記容量素子の一端を抵抗素子を介して直接に前記電源に接続すると共に、前記バイパス線は前記第1電極と前記容量素子の前記一端にそのアノードとカソードとがそれぞれ接続されたダイオードを更に備えたものである。

【0032】請求項8の発明に係る**パワーデバイス用半導体スイッチング装置**は、請求項7記載の**パワーデバイス用半導体スイッチング装置**において、前記容量素子の容量値を、前記ターンオフ時に生じる前記第1電極と前記第2電極間のピーク電圧が前記半導体スイッチング素子の電圧阻止能力を越えないように設定したものである。

【0033】請求項9の発明に係る**パワーデバイス用半導体スイッチング装置**は、オン状態にある半導体スイッチング素子に流れ込む主電流の全てを、前記半導体スイッチング素子をターンオンさせるために必要なターンオン制御電流を前記半導体スイッチング素子に流れ込ませるための配線経路へ転流させることで、前記半導体スイッチング素子をターンオフに制御したものである。

【0034】

【発明の実施の形態】本発明の半導体スイッチング装置又は半導体スイッチング素子は、車両用電力変換装置や、UPS（無停電電力システム）や、産業用電力変換装置等の各種の電力変換装置に用いられる、**パワーデバイス**である。

【0035】本発明が提案する、新規な半導体スイッチング素子の制御方法の核心部は、オン状態にある半導体スイッチング素子に流れる主電流の全てを、駆動回路へ転流させ、これにより半導体スイッチング素子をターンオフ状態とする点にある。

【0036】以下では、そのような半導体スイッチング素子として、ゲートターンオフ・サイリスタ（以下、GTOと称す）を用いた例を示す。この場合には、GTOの第1、第2及び第3電極は、それぞれアノード電極、カソード電極及びゲート電極にあたる。尚、上記半導体スイッチング素子としては、GTOのような4層構造をもつものに限られるわけではなく、3層構造を有するトランジスタを本発明の半導体スイッチング素子として用いることも可能である。この場合には、NPNトランジスタ利用のときは、第1、第2、第3電極は、それぞれコレクタ電極、エミッタ電極及びベース電極にあたり、又、PNPトランジスタ利用のときは、第1、第2及び第3電極は、それぞれエミッタ電極、コレクタ電極及びベース電極に該当する。

【0037】（実施の形態1）

図1は、本発明の実施の形態1に係る半導体スイッチング装置10の回路構成を示す。同図において、各参照符号は、それぞれ次の回路要素を示す。即ち、3は半導体スイッチング素子としてのGTOであり、このGTO3のゲート電極3Gとカソード電極3Kのノード13との間に、ゲートドライバ4（駆動制御手段）が接続される。

【0038】ゲートドライバ4は、その駆動電源4a（電源電圧 V_{co} （例えば20V））、コンデンサ4b、インダクタンス4C、トランジスタ4dから成る。尚、その詳細な構成を、後述する図2で示す。

【0039】このゲートドライバ4は、GTO3をターンオンさせるためのターンオン制御電流 I_g を発生して、配線経路ないしラインL1を介してこの電流 I_g をゲート電極3Gに印加する。これに応じて、GTO3はオン状態となる。又、11はノードであり、9は同装置10を駆動するための電源、即ち同装置10の主回路用電源（電源電圧 V_{so} ）である。

【0040】他方、1は、GTO3がターンオンした時に流れる主電流ないし陽極電流 I_A の上昇率 dI_A/dt を抑制するためのインダクタンスであり、2は、GTO3がターンオフした時にインダクタンス1に発生するエネルギーを還流させるための還流用ダイオードである。

【0041】5は、アノード電極3Aのノード11とカソード電極3Kのノード12との間にGTO3に対して並列に接続されており、かつGTO3がターンオフした時にアノード・カソード電極間電圧 V_{AK} の上昇に伴って発生するピーク電圧のみを抑制するためのピーク電圧抑制回路である。同回路5は、後述するように、上記電圧 V_{AK} がターンオフ時にGTO3の電圧阻止能力に応じて定まる所定の電圧値に所定の時間だけ上記電圧 V_{AK} を保持ないしクランプする機能を有する。

【0042】ここでは、ターンオフ時に、従来、主電流 I_A より分流してゲートドライバ4側へ流入していたゲート逆電流 I_{cq} の変化率ないし上昇率（勾配） dI_{cq}/dt の絶対値を出来る限り大きくして（理想的には、 $|dI_{cq}/dt|$ は ∞ ）、主電流 I_A の全てをゲート逆電流 I_{cq} としてゲートドライバ4を介してノード12へ流すこととする。即ち、主電流 I_A とゲート逆電流 I_{cq} との比の絶対値で定まるターンオフゲイン $G (= |I_A/I_{cq}|)$ を1以下（ $G \leq 1$ ）に設定することで、主電流 I_A の全てを、ターンオン制御電流 I_g とは逆方向に、アノード電極3Aからゲート電極3Gを介してゲートドライバ4及びノード12側へと転流させ、以てGTO3をターンオフさせる。このとき、アノード電極3Aからカソード電極3Kへ向けて直接GTO3内部を流れるカソード電流 I_K は、直ちに全く流れなくなる。その意味で、本方式は、主電流 I_A の分流ではなくて、「主電流 I_A の転流」を実現しているのである。

【0043】ここで、ゲートドライバ4の駆動電源（主

11

電源) 4 a の電源電圧値 V_{cc} と、ループ R 1 のインダクタンス値との関係に応じて、上昇率 dI_{cq}/dt の値を変化させることができるので、両者 4 (4 a), R 1 の値を適切に設定することで、上昇率 $|dI_{cq}/dt|$ を限りなく ∞ 値に近い極めて大きな値に設定してやれば、極めて短時間で主電流 I_A を全てゲートドライバ 4 側へ転流させることができる。

【0044】他方、そのようなゲート逆電流 I_{cq} の転流をゲートドライバ 4 単独で以て実現することは、当該ドライバ 4 の駆動電源 4 a がとりうる電源電圧値 V_{cc} に限界があるため容易でないが、その反面、ゲートドライバ 4 の駆動電源電圧 V_{cc} を設定可能な実用値に設定しておき、ゲートターンオフゲイン G を 1 以下とするために必要な上昇率 dI_{cq}/dt の絶対値を実現しうるループ R 1 の内部インダクタンスの値を設定することは、現実的に可能である。

【0045】そこで、ゲート電極 3 G からゲートドライバ 4 までのライン L 1 と、ゲートドライバ 4 と、ゲートドライバ 4 からノード 13 を介してカソード電極 3 K までのライン L 2 と、ゲート・カソード電極間の GTO 3 内部の経路とからなるループないし経路 R 1 内の (浮遊) 内部インダクタンスの値を、ターンオフゲイン G を 1 以下とするのに必要な値にまで低減させることが求められる。

【0046】但し、ゲートドライバ 4 は、主電流 I_A 以上の値のゲート逆電流 I_{cq} を流せるだけのキャパシタンスを有するように、設定されなければならない。

【0047】例えば、ゲートドライバ 4 の主電源 4 a の電源電圧 V_{cc} を 20 V に設定し、上昇率 dI_{cq}/dt の絶対値を約 $8000 \text{ A}/\mu\text{s}$ に設定する場合には、上記ループ R 1 のインダクタンス値は 2.5 nH 以下、ゲートドライバ 4 の内部インダクタンス値は 1 nH 以下とするのが好ましい。

【0048】そのようなキャパシタンスを有するゲートドライバ 4 の具体的な回路図を、図 2 に示す。同図において、駆動電源 5 0 はゲートドライバ 4 を駆動するための主電源であり、副電源 5 1 はターンオンゲート電流用の電源、副電源 5 2 はターンオン用トランジスタ T_{r1} , T_{r2} を駆動するための駆動回路 5 6 用の電源、副電源 5 3 はターンオフゲート電流用の電源、副電源 5 4 はターンオフ用トランジスタ T_{r3} を駆動するための駆動回路 5 7 用の電源、副電源 5 5 は制御信号 6 2 よりターンオン信号及びターンオフ信号を生成する回路部 5 8 を駆動するための電源であり、トランジスタ T_{r1} は図 3 に示すターンオン・ハイゲート電流 I_{c1} を供給するためのスイッチであり、トランジスタ T_{r2} はターンオン・定常ゲート電流 I_{c2} を供給するためのスイッチ、トランジスタ T_{r3} はターンオフゲート電流 I_{cq} (ゲート逆電流) を供給するためのスイッチである。尚、上記電流 I_{c1} , I_{c2} を総称したのが、ターンオン制御電流 I_c である。C 1 はタ

12

ーンオンゲート電流 I_c 用のコンデンサであり、C 2 はターンオフゲート電流 I_{cq} 用のコンデンサである。

【0049】以上のゲートドライバ回路 4 において、外部より制御信号 6 2 を与えると、ノイズカット回路 5 9 は制御信号 6 2 より制御信号 6 2 に含まれるノイズ成分を取り除き、ノイズ除去された制御信号を受けて、ターンオン信号生成回路 6 0、ターンオフ信号生成回路 6 1 は、それぞれターンオン用信号 6 3 とターンオフ用信号 6 4 を生成して、各信号 6 3, 6 4 を対応する駆動回路 5 6, 5 7 へ供給する。

【0050】同信号 6 3, 3 4 を受け取った両駆動回路 5 6, 5 7 は、次の通りに動作する。即ち、時刻 t_1 において、駆動回路 5 6 は、トランジスタ T_{r1} を駆動できるだけの信号を生成し、これをトランジスタ T_{r1} のベースへと供給する。ここで、両コンデンサ C 1 と C 2 は、それぞれ副電源 5 1 と副電源 5 3 により充電されているので、ターンオン・ハイゲート電流 I_{c1} がコンデンサ C 1 からトランジスタ T_{r1} を通して GTO 3 へと流れる。そして、時刻 t_2 において、駆動回路 5 6 は、トランジスタ T_{r1} のベース電流の供給を止め、今度は、トランジスタ T_{r2} を駆動できるだけのベース電流を発生して、これをトランジスタ T_{r2} のベースへ供給する。これにより、トランジスタ T_{r1} はオフし、代わってトランジスタ T_{r2} がオンし、ターンオン・定常ゲート電流 I_{c2} がコンデンサ C 1 からトランジスタ T_{r2} を通して GTO 3 へと流れる。

【0051】また、時刻 t_3 では、駆動回路 5 6 はトランジスタ T_{r2} のベース電流の供給を止め、駆動回路 5 7 が、信号 6 4 に応じて、トランジスタ T_{r3} をオンするのに必要なベース電流を生成して、これをトランジスタ T_{r3} のベースへ供給する。これにより、トランジスタ T_{r2} はオフし、代わってトランジスタ T_{r3} がオンする結果、コンデンサ C 2 に充電されている電荷がトランジスタ T_{r3} を介して GTO 3 側へと放電されることとなり、従って、ターンオフゲート電流 I_{cq} が GTO 3 からトランジスタ T_{r3} を通して GTO 3 のカソード電極 3 K のノード 13 へ流れることとなる。しかも、この電流 I_{cq} は、極めて短時間の間に主電流 I_A の絶対値と等しいか、又はそれ以上の値となり、逆に、カソード電流は極めて短時間の間に 0 値へ減少する。

【0052】上述した通り、ターンオフゲイン G が 1 以下となるような上昇率 dI_{cq}/dt を実現するためには、ゲートドライバ 4 内部の配線経路を含むループ R 1 全体のインダクタンス値を低減することが必要である。そして、この点は、GTO 素子の配線ないしパッケージ構造という機構部品の改良を以て実現することが望まれる。

【0053】しかるに、従来の GTO 3 P のパッケージ構造は、図 18 及び図 19 で示した様な構造となっているため、GTO 素子 20 P の内部のインダクタンス (リ

ード21P〜リング状ゲート電極34P〜カソード電極30P〜リード22Pまでの経路のインダクタンス)は、例えば50nH程度もの大きな値であった。この値では、到底、約8000A/ μ sもの上昇率 dI_{ca}/dt を達成することはできない。従って、このGTO素子20Pの内部インダクタンス値を、例えば2nH以下というような所望値にまで低減するためには、ゲート側の連結部23P及びカソード側の連結部24PとGTO素子20Pのゲート端子25P及びカソード端子26Pとのそれぞれの結合で生じるロスや、ゲート外部リード21P及びカソード外部リード22Pとゲートドライバ4Pとのそれぞれの結合で生じるロスや、ゲートリード38Pのインダクタンス値や、更にはループR1中の全インダクタンス値の内の90%をも占めるゲート及びカソードの各外部リード線21P、22P自体のインダクタンス値を低減する必要がある。

【0054】そこで、本発明では、上述した観点からGTO素子のパッケージ構造を検討し、改良を加えることとし、その結果、つぎの様な構造を有する圧接型半導体素子を実現したものである。

【0055】即ち、図4は、圧接型GTO素子20と、それを上下方向から加圧するスタック電極27a、27bとを示す断面図であり、又、図5は、図4に示す矢印方向D1からGTO素子20を眺めた正面図(スタック電極27aを除く)である。従って、図5の線SA-SBに関する縦断面図が図4にあたる。

【0056】両図4、5において、各参照符号は、以下の部材を示す。即ち、20は圧接型半導体素子、即ち、ここではGTO素子の全体を示し、28はGTOの各セグメントが形成された半導体基板であり、半導体基板28の上側表面の内の外周部側に位置する面上にA1(アルミニウム)のゲート電極29aが形成されており、さらにゲート電極29aよりも内側の半導体基板28の上側表面上には、各セグメントの位置に対応して各カソード電極29bが形成されている。各セグメントの構造ないしGTO素子のウェハ構造は、図21の断面図に示した構造と同様である。

【0057】30及び31は、それぞれ半導体基板28の上側表面上のカソード電極29bの上側表面上に順次に積載されたカソード歪緩衝板及びカソードポスト電極であり、他方、32及び33は、それぞれ半導体基板28の裏面上に形成された図示しないアノード電極の表面(カソード電極29bと反対側の面)上に順次に積載されたアノード歪緩衝板及びアノードポスト電極であり、34は半導体基板28のゲート電極29aの上側表面に接するリング状ゲート電極であり、38は環状金属板からなるリング状ゲート端子であって、その内周平面25がリングゲート電極34と摺動可能に同電極34に対して接触・配置されている。35は、環状絶縁体36を介して、リング状ゲート端子38とともに、リング状ゲ

ト電極34をゲート電極29aに対して押圧するための皿バネあるいは波バネのような弾性体であり、37は、リング状ゲート電極34をカソード歪緩衝板30及びカソードポスト電極31から絶縁するための絶縁シート等からなる絶縁体であり、26は、その一端部分がカソードポスト電極31に固着された第1のフランジであり、40は、その一端部分がアノードポスト電極33に固着された第2のフランジであり、41はセラミック等からなり、リング状ゲート端子38を挟んで上下に分割され且つ突起部42を有する絶縁筒である。そして、リング状ゲート端子38の外周側部分23が絶縁筒41の側面から外部に突出するとともに、その他端38Eよりも内周側の位置に取り付け穴21が所定の間隔で複数個設けられている。そして、上側の絶縁筒41の上面より上方に突出した部分43aが第1のフランジ26の他端部26Eと気密に固着され、下側の絶縁筒41の裏面より下方に突出した部分43bが第2のフランジ40の他端部と気密に固着されており、これによって圧接型半導体素子20は、密閉されたパッケージ構造になっている。

尚、この内部は、不活性ガスで置換されている。

【0058】又、図6は、ゲートドライバ4の機構部分を示す平面図であり、図7は、ゲートドライバ4に図4、図5に示した構造のGTO素子20(スタック電極27a、27bで加圧されている)を装着した状態を示す縦断面図である。両図6、7において、参照符号4Aはゲートドライバ本体4Cをカバーするためのケースを、4Bはゲートドライバ本体4Cの座となるケースを各々示しており、70はゲートドライバ本体4とGTO素子20とを電気的に接続するための、回路パターンが形成された基板全体を示している。同基板70は、丁度、従来パッケージのゲートリード線21P、22P(図18)に代わるものであって、GTO素子20の重量をささえ得るだけの強度を有する。71は、GTO素子20のカソード電極29bと圧接により接続されるカソード電極であり、スタック電極27aにあたる。21Aは、ゲートドライバ4の基板70に対応する取り付け穴21を介してGTO素子20を接続する為の、基板70に設けられた取り付け穴であり、ゲートドライバ4とGTO素子20とを接続する為には、例えば6つ程度の取り付け穴21Aが必要となる。

【0059】上述した基板70は、絶縁体を挟んで対向した次の2つの回路パターン基板を有する。即ち、同基板70は、ゲートリード基板72、カソードリード基板73、両基板72と73とを絶縁するための絶縁体74とを有している。このような多層基板構造を設けたのは、ゲートドライバ4側の内部インダクタンスを低減するためである。GTO素子本体20は、ネジ75、76又は溶接、かしめ等により、ゲートドライバ本体4Cと接続される。

【0060】以上のように、本GTO3の気密パッケー

ジは、半導体基板上に形成された内部のゲート電極29a側からゲートドライバ本体4C側へ向けて延長されたリング状ないし円盤状のゲート電極38を有しており、しかも当該パッケージ(20)は、上記リング状ゲート電極38の外周部分を直接ゲートドライバ4の本体4Cより延びた基板70に取り付け穴21Aを介して接続・固定するだけで、ゲートドライバ4に接続される。そのため、当該接続にあたっては、ゲートリード線は一切使用されていない。従って、従来構成における問題点は全て改善される。即ち、従来、GTO素子の内部ゲートリード部とGTO素子のゲート端子及びカソード端子とのそれぞれの結合で発生していた結合ロスというものは、上述のようにゲートリードの取り出しを円盤状構造とすることにより大幅に低減されると共に、従来、外部ゲートリード線とゲートドライバとの結合により生じていた結合ロスに相当する電力ロスは、この発明では円盤状のゲートリード部ないしゲート電極38の全体がゲートドライバ4のゲート電流通電用基板70に直接に接続されるため、大幅に低減される。更に、従来、ループR1の全インダクタンスの90%をも占めていた外部ゲートリード線自体のインダクタンスは、この発明では、それら自体が使用されないため、存在しない。

【0061】この様に、GTO素子20(3)の内部インダクタンスの低減とゲートドライバ4の内部インダクタンスの低減とを実現することが可能となった。これらの改善に加えて、更に、GTO素子20とゲートドライバ4との接続を既述したように工夫を行うことにより(図7)、GTO素子3を、ターンオフゲイン $G \leq 1$ という条件で以てターンオフさせることが可能な上昇率 dI_{cq}/dt の領域を現実には発生させることが可能となった。

【0062】尚、ゲート電流を、図8の平面図に示す基板70Aを用いて、対角に位置する2方向、又は4方向へと取り出すようにしても良く、更にそれ以上の方向へとゲート電流を取り出すようにしても良い。

【0063】以上の様な回路構成、機構を備える半導体スイッチ装置の動作を、図9と図10に基づき説明する。尚、図9は、動作波形を示しており、図10は、GTO3をPNPトランジスタ80とNPNトランジスタ81とから成る回路構成に置き換えた場合の等価モデルを示す。

【0064】図9において、GTO3がターンオンして陽極電流 I_A が流れている状態の時に(時刻 t_1)、制御信号62(図2)に応じてゲートドライバ4がゲート逆電流 I_{cq} を急激な上昇率ないし傾きで以て上昇させると、ゲート逆電流 I_{cq} は、その絶対値が極めて短時間に陽極電流 I_A の絶対値と等しい電流値に達する($I_{cq} = -I_A$)(時刻 T_2)。この状態で、GTO3のアノード電極3Aに流れ込む陽極電流 I_A は全てゲート電極3G、配線経路L1を介してゲートドライバ4に転流し、

|GTO3の陽極電流 I_A | \leq |ゲート逆電流 I_{cq} |の関係式が成立し、カソード電流 $I_K = 0$ の状態となる。これ以降、ゲート逆電流 I_{cq} は、GTO3が完全にターンオフするまで、 $|I_A| \leq |I_{cq}|$ の状態を維持し続ける。

【0065】図9に示す電流差 ΔI_{cq} は、図10に示すNPNトランジスタ81のリカバリ電流であるものと考えられる。これは、次のような現象により生ずる。即ち、図10において、GTO3がターンオンして陽極電流 I_A が半導体基板内を流れている状態では、その電流 I_A は、GTO3のアノード電極3Aからループ82とループ83とに別れてカソード電極3Kへと流れている。この状態からGTO3がターンオフへ移行すると、陽極電流 I_A の全ては強烈にゲートドライバ4へと引っ張られ、ループ84とループ85へと流れていく。この時、NPNトランジスタ81のベース電流は正方向から負の方向へ反転し、NPNトランジスタ81は急激にターンオフしてしまい、その内部キャリアがリカバリ電流となって重畳的に流れることとなる。このリカバリ電流の増加分が上述の電流差 ΔI_{cq} となって表われ、この時、|ゲート逆電流 I_{cq} | $>$ |陽極電流 I_A |となる。

【0066】このように、ゲート逆電流 $|I_{cq}| > |I_A|$ となつて、図10のNPNトランジスタ81がターンオフしてしまうと、PNPトランジスタ80のベース電流は0となり($I_B = 0$)、PNPトランジスタ80はターンオフへと移行していく。

【0067】PNPトランジスタ80の電圧阻止機能が回復し始めると(時刻 T_3)、図9に示すアノード・カソード電極間電圧 V_{AK} が上昇し始め、このアノード・カソード電極間電圧 V_{AK} が電源電圧 V_{DD} と等しい値に達した時(時刻 T_4)、陽極電流 I_A が減少し始め、GTO3はターンオフ状態へと移行していく。この時のアノード・カソード電極間電圧 V_{AK} の上昇率 dV_{AK}/dt は、GTO3の電圧阻止機能の回復するスピードのみによって決定されるものであり、外部接続回路等により決定されるものではない。この点で、スナバコンデンサ C_s に依存してアノード・カソード電極間電圧の上昇率が決定されていた従来技術とは、本発明は明確に異なる。

【0068】図9において、本発明のピーク電圧(サージ電圧) V_p とは、GTO3がターンオフした時に主回路(電源9からノード11、GTO3、ノード12を経て電源9に至るまでのループ)の浮遊インダクタンス L に起因して発生する起電圧(そのエネルギーは $E = 1/2 * L * I^2$ で表される)が電源電圧 V_{DD} に重畳されて得られる電圧である。このピーク電圧 V_p が仮にGTO3の電圧阻止能力を超えると、GTO3は破壊されてしまう。そこで、GTO3のターンオフ時に上記ピーク電圧 V_p へ向けて上昇し続けるアノード・カソード電極間電圧 V_{AK} を、GTO3の電圧阻止能力を超えないように抑圧するピーク電圧抑制回路5を、GTO3のノード1

1, 12間にGTO3に対して並列に接続しておく必要がある。図1のピーク電圧抑制回路5は、そのような機能をもったものであり、例えばツェナーダイオード、バリスタ、セレストア、アレスタ等から成る、電圧クランプ回路である。同回路5は、GTOのターンオフ時に上昇し続ける電圧 V_{AK} が、GTO3の電圧阻止能力を越えない範囲内に設定された所定の電圧値 V_{sp} に達した後は、もし同回路5がなかったならば同電圧 V_{AK} がピーク電圧 V_p に達し、再び所定の電圧値 V_{sp} に戻るまでに要する時間である所定の時間 Δt (図9)だけ、電圧 V_{AK} を抑制

【0069】以上の様に、この発明では、ターンオフ時に、図11に示す上昇率 dI_{cq}/dt の領域RAにおいてGTO3を制御することで、GTO3をターンオフさせている。同図中、曲線CA上の点PAが、主電流 I_A のゲートドライバ4側への転流が生じる転流点であり、この場合は、前述のリカバリー電流が無いと考えた場合の理想状態にある。現実的には、転流した主電流にリカ

【0070】図12及び図13は、それぞれ、従来技術及び本発明における主電流 I_A のターンオフ時の流れを比較的に示した図である。従来技術、例えば特開平5-111262号公報 (スイス国出願番号911061919) や特開平6-188411号公報 (ドイツ国出願番号P4227063) に開示された技術では、図12に示すとおり、ターンオフ時においても、カソード電流 I_K がGTO3P内を流れている。即ち、主電流 I_A は、ターンオフ時、カソード電流 I_K と I_{cq} とに分流している。しかし、この場合は、個々のセグメントに流れるカソード電流 I_K は小さな値であっても、それらが一部のセグメントに集中的に流れ込むこととなるので、GTO素子の破壊という問題点を内在している。

【0071】これに対して、本発明では、図13に示す通り、ターンオフ時、カソード電流 I_K は全く流れなくなり、主電流 I_A は全てゲートドライバ4側の経路へ転流し、リカバリー電流の発生によってゲート逆電流 I_{cg} の絶対値は主電流 I_A の絶対値とリカバリー電流の絶対値との和となり、 $|I_{cg}| \geq |I_A|$ の関係式が成立している (従来技術では、 $|I_{cg}| < |I_A|$)。

【0072】以上のように、この発明では、ターンオフモード期間中にわたり $|I_{cg}| \leq |I_A|$ となる、新規のゲート転流方式を採用しているため、ターンオフ時にはカソード電流 $I_K = 0$ となり、GTO3Pの内部のカソード面にカソード電流が流れ込むという状態は全く発生せず、従来ターンオフ失敗の原因となっていたカソード面への局在的な電流集中は全くおこり得ない。よって、ターンオフ失敗による素子破壊

のおそれは、この発明では皆無となり、装置の信頼度は格段に向上する。この効果は、本発明の核心的効果であって、上述した各文献に示された技術の組合せを以てしても得られない利点であると言える。

【0073】加えて、アノード・カソード電極間電圧 V_{AK} の上昇を抑制してサージ電圧を抑制する回路5を設けているので、スパイク電圧は、同回路5によりカットされて全く発生しない。そのため、従来、ターンオフ時に蓄積された電荷を放電させるために必要であったスナバコンデンサ C_s を不要とすることができる。即ち、従来技術では必要不可欠であったスナバ回路を不必要とすることができ、これにより装置の小形化、簡素化、低コスト化、高効率化を実現することができる。

【0074】(実施の形態2)

図14は、本発明の実施の形態2に係る半導体スイッチング装置の回路構成を示す。同図において、図1中の参照符号と同一符号のものは、同一のものを示す。そして、GTO3のパッケージ構造やゲートドライバ4の機構も、実施の形態1で述べたものが用いられる。参照符号6から8のそれぞれは、GTO3がターンオフ状態となったときに発生するスパイク電圧やピーク電圧 (サージ電圧) による電力ロスを抑制ないし低減する、保護回路を構成する素子であり、順番にダイオード、抵抗素子、コンデンサを示す。特に、ここでは、ノード11とノード12間にGTO3に対して並列に配設されたバイパス線BLに含まれるコンデンサ8 (容量素子) の一端15が、抵抗素子7を含み且つノード14において電源9と接続された配線経路R4を介して、電源9に接続されている点に特徴点がある。

【0075】以上の様な半導体スイッチング装置10Aないし、GTO3の動作を、実測波形を示す図15を基に説明する。

【0076】この場合のGTO3の動作は既述した実施の形態1での動作と同等であり、アノード・カソード電極間電圧 V_{AK} のピーク電圧抑制動作のみが実施の形態1の場合と異なる。図15の実測波形は、 $I_A = 1000$ (A/d), $V_{AK} = 1000$ (V/d), $I_{cq} = 1200$ (A/d), $V_{co} = 20$ (V/d), $t = 2$ ($\mu s/d$) とした場合の例である。同図中、曲線C1, C2, C3, C4は、それぞれ陽極電流 I_A 、アノード・カソード電極間電圧 V_{AK} 、ゲート逆電流 I_{cg} 、ゲート電圧 V_g の実測波形を示す。

【0077】図14において、コンデンサ8は抵抗素子7を通して常に電源電圧 V_{oo} に充電されており、ターンオフ動作時においては、発生するスパイク電圧 V_{oss} 及びピーク電圧 V_p から電源電圧 V_{oo} を超えた電圧部分 ($V_{oss} - V_{oo}$, $V_p - V_{oo}$) による電流のみが、ダイオード6を通してコンデンサ8に吸収される。従って、上記超過した部分だけが、その超過する時間だけ、コンデンサ8に新たに充電されるにすぎない。

【0078】以上の点を、図15に基づいて説明する。アノード・カソード電極間電圧 V_{AK} が電源電圧 V_{00} に達するまでは、コンデンサ8は機能せず、この期間($t_1 - t_1$)の上昇率 dV_{AK}/dt はGTO3の能力により決定される(このとき、全主電流 I_A はゲートドライバ4側へ転流している)。そして、アノード・カソード電極間電圧 V_{AK} が電源電圧 V_{00} に達して陽極電流 I_A が減少し始めると(時刻 t_2)、それと同時に、ノード11に流れ込む主電流はダイオード6を通してコンデンサ8側へと、即ちバイパス経路BLへと流れ始める。この時、流れ込むバイパス電流 i の上昇率 di/dt と、GTO3とダイオード6とコンデンサ8とから成る閉回路ないし第1ループR2に浮遊するインダクタンス(L_{r1})とによって起電圧が発生する。これが、図15に示すスパイク電圧 V_{0sp} である(時刻 t_3)。これ以後、時刻 t_3 までは、アノード・カソード電極間電圧 V_{AK} のピーク電圧 V_p と電源電圧 V_{00} との差はコンデンサ8に吸収される。その際、コンデンサ8に吸収される過充電分が、GTO3の電圧阻止能力以下となるように、コンデンサ8の容量値は適切に決定されている。つまり、時刻 t_3 から時刻 t_4 までに上昇するアノード・カソード電極間電圧 V_{AK} のピーク値 V_p がGTO3の電圧阻止能力以下となるように、コンデンサ8の容量値によって決定される。

【0079】尚、コンデンサ8によって吸収されたピーク電圧の過充電分は、抵抗素子7を通して、次回ターンオフまでに電源9側に放電される。一方、GTO3のターンオン時においてもコンデンサ8に充電された電圧ないし電荷は、それが放電しようとしてもダイオード6に阻止されるので、放電することはない。よって、コンデンサ8は、常に電源電圧 V_{00} と等しい電圧に充電されていることになる。

【0080】尚、時刻 t_4 から時刻 t_5 までのピーク電圧 V_p は、第2ループR3内の浮遊インダクタンス(L_{r2})とコンデンサ8の容量値とに起因して生ずる起電力に基づく。

【0081】以上の様に、この半導体スイッチング装置10Aのピーク電圧抑制回路ないし保護回路のコンデンサ8に蓄積されるエネルギーについては、従来技術におけるスナバコンデンサのようにスナバ抵抗によって0値に至るまで全てが放電されてしまうのではなく、その内の過充電分のみが放電されるに過ぎなく、従来問題となっていたスナバ回路の放電損失を格段に低減することができる。しかも、この半導体スイッチング装置10Aでは、従来技術のスナバ回路で用いられていた部材をそのまま用い、かつスナバ抵抗として用いられていた抵抗素子の配線を配線経路R4として電源9のノード14に直接接続するだけで、上記保護回路を簡単に構成できる

ため、即ち、従来のスナバ回路をそのまま利用して放電損失を十分低減させることが可能となるため、非常に実現性の高い装置を実現できる利点がある。勿論、同装置10Aでも、図1の装置10と同様に、ターンオフ時のGTO3の素子破壊を完全に阻止することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体スイッチング装置の回路図である。

【図2】 ゲートドライバ回路の具体的な構成を示す図である。

【図3】 ゲート側に流れる電流の波形を示す図である。

【図4】 本発明のGTO素子パッケージを示す断面図である。

【図5】 本発明のGTO素子パッケージの外観を示す平面図である。

【図6】 本発明のゲートドライバの外観を示す平面図である。

【図7】 本発明のGTO素子パッケージとのゲートドライバとの接続方法を示す断面図である。

【図8】 多方向からゲート逆電流を取り出す場合のゲートドライバを示す平面図である。

【図9】 本発明の実施の形態1に係る半導体スイッチング装置の動作を示す図である。

【図10】 GTOの等価モデルを示す図である。

【図11】 アノード・カソード電極間電圧の上昇率とターンオフゲインとの関係を示す図である。

【図12】 従来技術におけるターンオフ時の主電流の流れを示す図である。

【図13】 本発明におけるターンオフ時の主電流の流れを示す図である。

【図14】 本発明の実施の形態2に係る半導体スイッチング装置の回路図である。

【図15】 実施の形態2における実測波形を示す図である。

【図16】 従来装置の回路を示す図である。

【図17】 従来回路による実測波形を示す図である。

【図18】 従来のGTO素子パッケージの断面図である。

【図19】 従来のGTO素子パッケージの外観を示す平面図である。

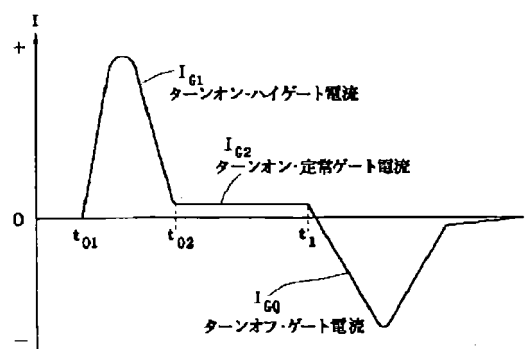
【図20】 従来の問題点を指摘するための図である。

【図21】 従来の問題点を指摘するための図である。

【符号の説明】

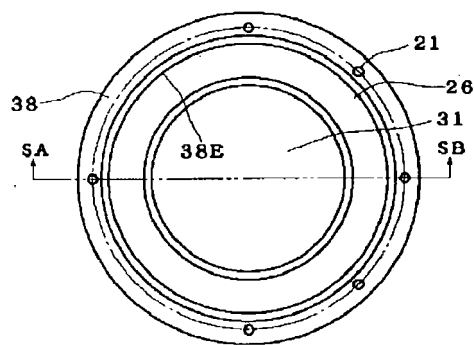
3 GTO、3A アノード電極、3K カソード電極、3G ゲート電極、4 ゲートドライバ、5 ピーク電圧抑制回路、R1 経路、 I_A 主電流、 I_c ターンオン制御電流、 I_{cq} ゲート逆電流。

【図 3】

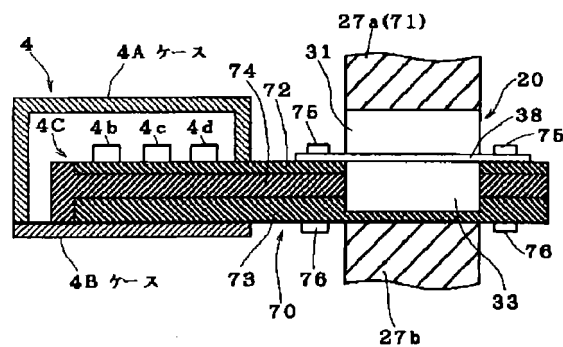


10

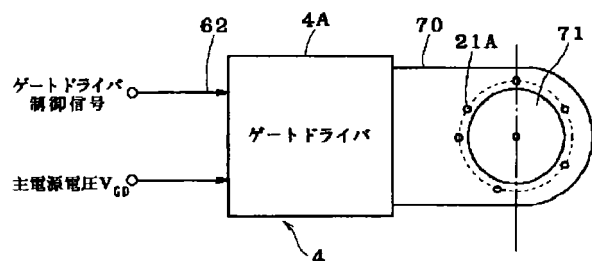
【図5】



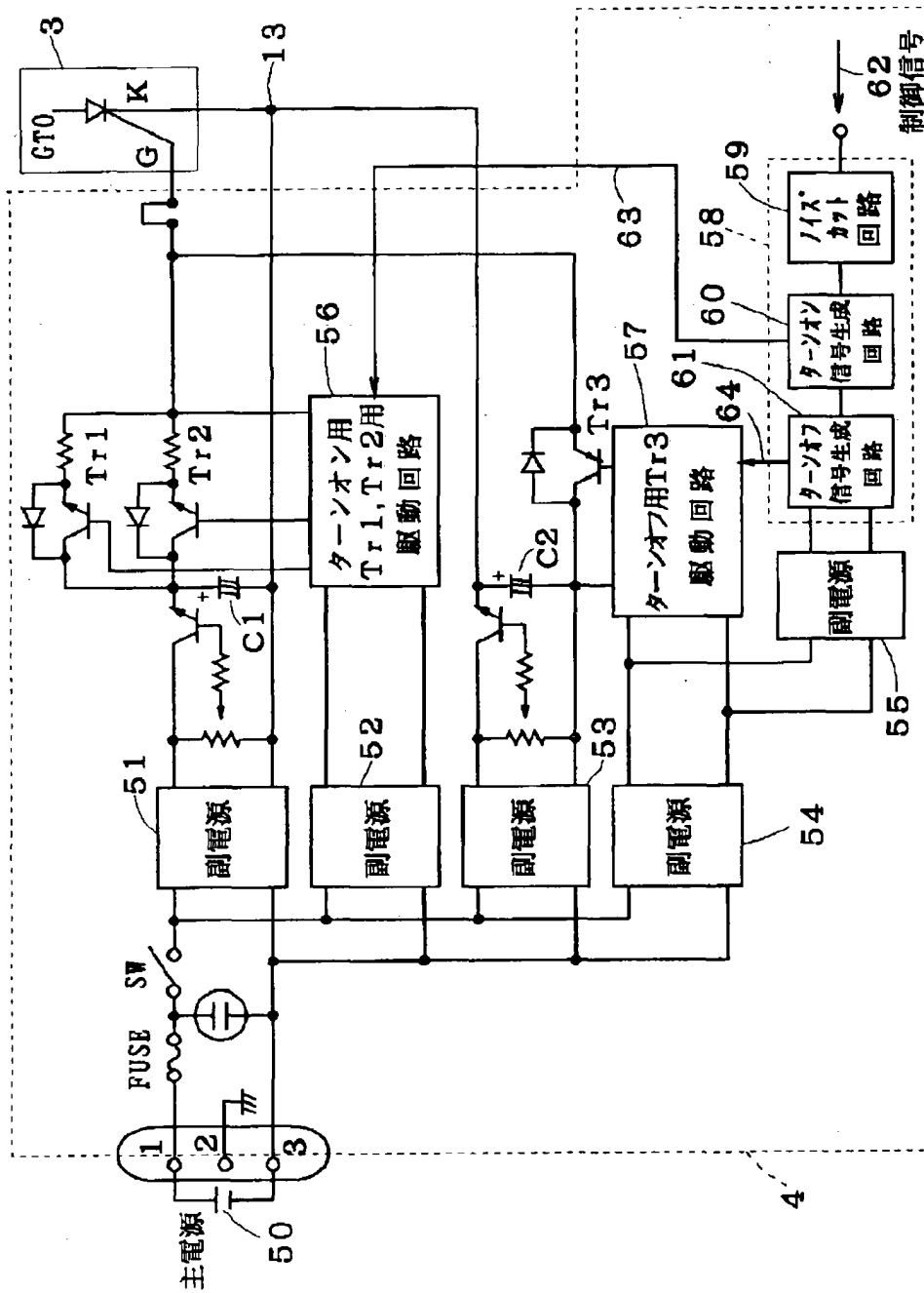
【図7】



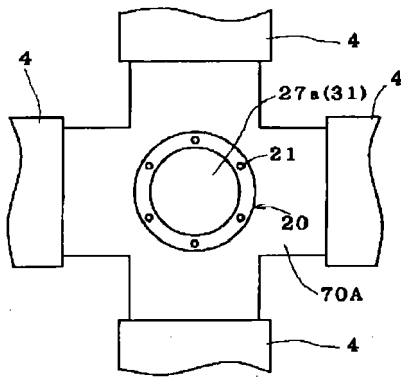
【図6】



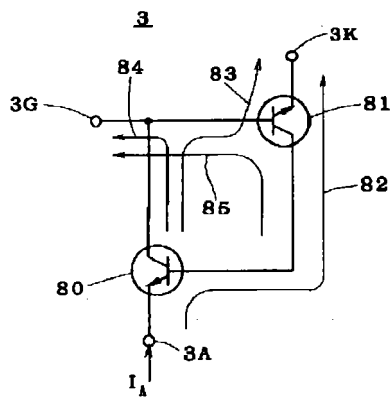
【圖 2】



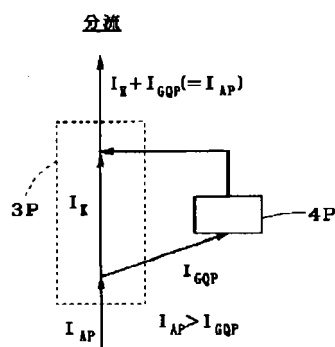
【図8】



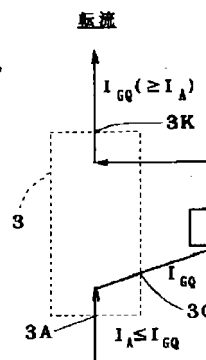
【図10】



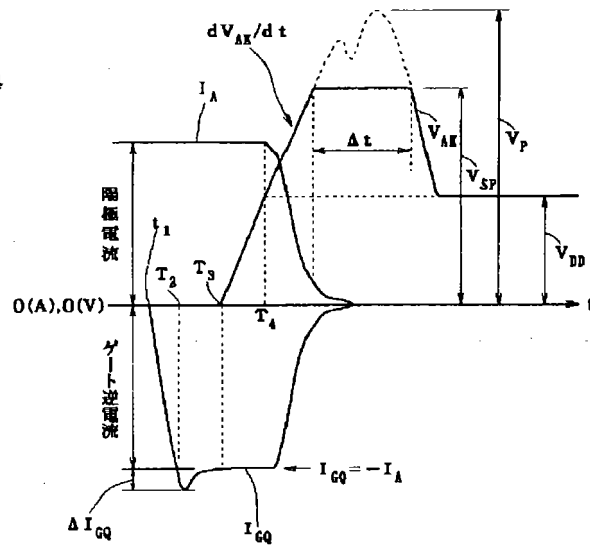
【図12】



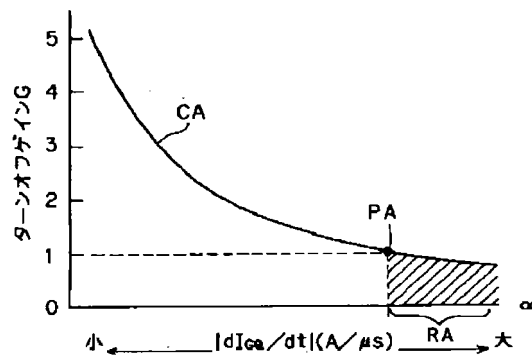
【図13】



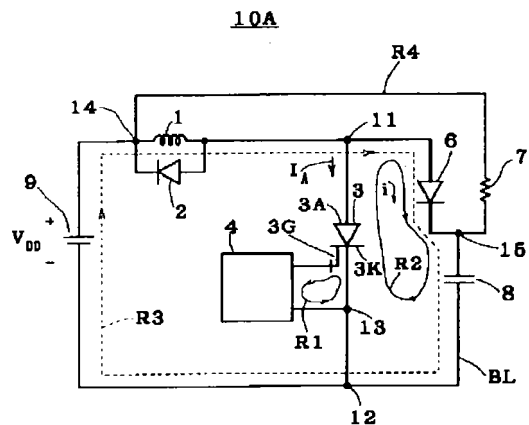
【図9】



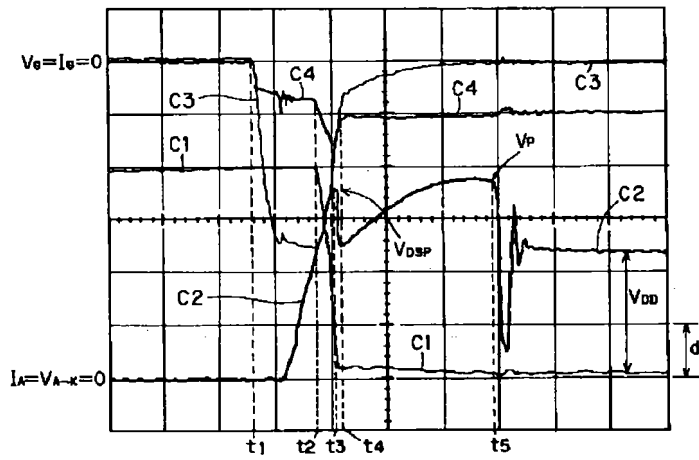
【図11】



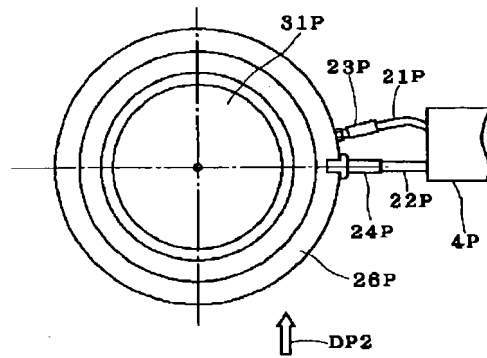
【図14】



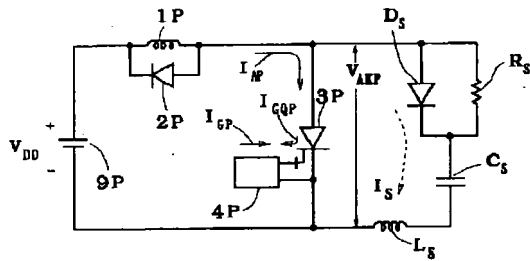
【図15】



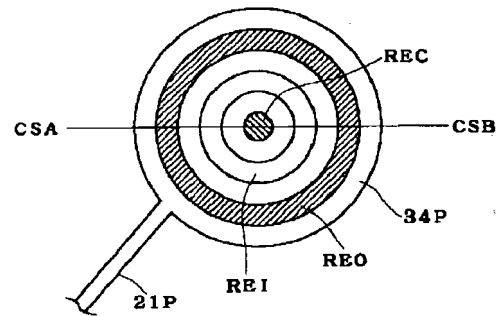
【図19】



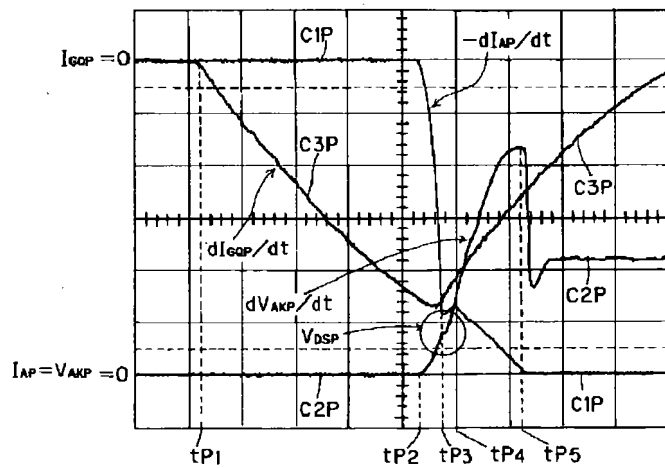
【図16】



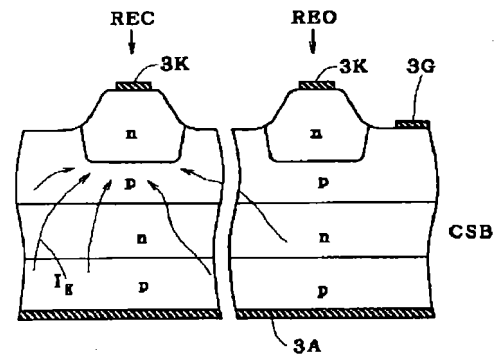
【図20】



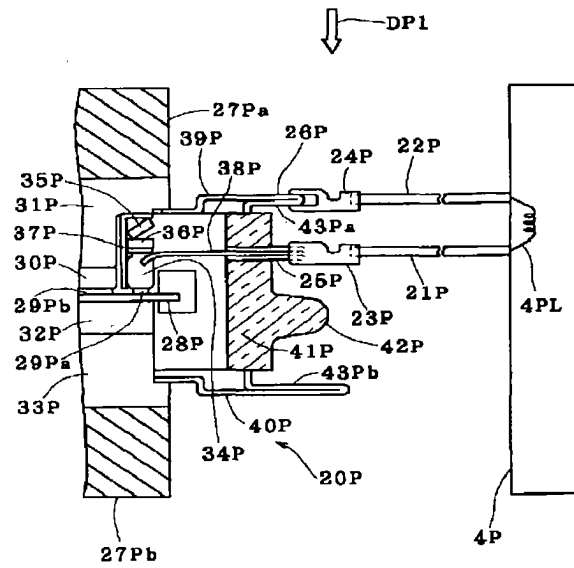
【図17】



【図21】



【図18】



フロントページの続き

- (56)参考文献 特開 昭58-107724 (J P, A)
 特開 平2-136062 (J P, A)
 特開 平6-335249 (J P, A)